

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

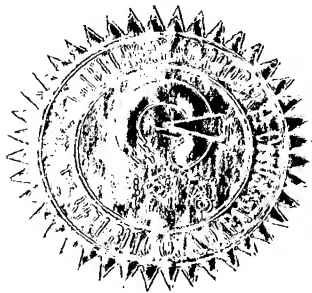
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0046620
Application Number

출원년월일 : 2002년 08월 07일
Date of Application AUG 07, 2002

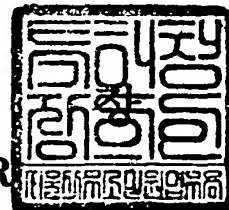
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 03 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.08.07
【국제특허분류】	G02F
【발명의 명칭】	액정 표시 장치의 형성 방법
【발명의 영문명칭】	Method for Forming Liquid Crystal Display Device
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-054732-1
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	1999-054731-4
【발명자】	
【성명의 국문표기】	양창국
【성명의 영문표기】	YANG, Chang Kuk
【주민등록번호】	711001-1783110
【우편번호】	730-300
【주소】	경상북도 구미시 구평동 454 부영아파트 503동 1004호
【국적】	KR
【발명자】	
【성명의 국문표기】	김환
【성명의 영문표기】	KIM, Hawn
【주민등록번호】	710123-1804717

【우편번호】	705-023
【주소】	대구광역시 남구 봉덕3동 1338-80 남양 하이츠빌 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	박기춘
【성명의 영문표기】	PARK,Ki Choon
【주민등록번호】	730427-1006712
【우편번호】	156-051
【주소】	서울특별시 동작구 노량진1동 84-35
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 김용 인 (인) 대리인 심창섭 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	40,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 게이트 단차 부위에 남아있는 몰리브덴 잔막을 제거하여 신뢰성을 향상시킨 액정 표시 장치의 형성 방법에 관한 것으로, 기판상에 게이트 라인 및 게이트 전극을 형성하는 단계와, 상기 게이트 라인을 포함한 기판 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 전극에 대응되는 상기 게이트 절연막 상부에 반도체층을 차례로 형성하는 단계와, 상기 반도체층을 포함한 상기 게이트 전면에 금속층을 증착하는 단계와, 상기 금속층 상부의 소정 영역에 마스크층을 형성하는 단계 및 상기 마스크층을 이용하여 금속층을 선택적으로 제거하여 상기 게이트 라인과 교차하는 데이터 라인 및 소스/드레인 전극을 형성함과 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계를 포함하여 이루어짐을 특징으로 한다.

【대표도】

도 5b

【색인어】

게이트 단차부, 몰리브덴 잔막, 프리 애싱, 포스트 애싱, RF

【명세서】

【발명의 명칭】

액정 표시 장치의 형성 방법{Method for Forming Liquid Crystal Display Device}

【도면의 간단한 설명】

도 1은 종래의 액정 표시 장치를 나타낸 평면도

도 2a 내지 도 2g는 도 1의 A-A' 선상에서 진행되는 공정의 구조 단면도

도 3a 내지 도 3g는 도 1의 B-B' 선상에서 진행되는 공정의 구조 단면도

도 4a 본 발명의 액정 표시 장치의 형성 방법을 통해 형성된 액정 표시 장치를 나타낸 평면도

도 4b는 도 4a의 X-X' 선상의 구조 단면도

도 5a 내지 도 5b는 본 발명의 제 1 실시예에 따라 도 4a의 Y-Y' 선상에서 진행되는 공정의 구조 단면도

도 6a 내지 도 6c는 본 발명 제 2 실시예에 따라 도 4a의 Y-Y' 선상에서 진행되는 구조 단면도

도면의 주요 부분에 대한 부호 설명

100 : 하부 기판

101 : 게이트 라인

101a : 게이트 전극

102 : 게이트 절연막

103 : 비정질 실리콘층

104 : 불순물층

104a : 오믹콘택층

105 : 금속층

105a : 소오스 전극

105b : 드레인 전극

106, 106a : 감광막 패턴	107 : 보호막
108 : 화소 전극	203 : 반도체층
205 : 데이터 라인	
400 : 하부 기판	401 : 게이트 라인
401a : 게이트 전극	402 : 게이트 절연막
405a : 소오스 전극	405b : 드레인 전극
407 : 보호막	408 : 화소 전극
503 : 반도체층	505 : 데이터 라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <22> 본 발명은 액정 표시 장치에 관한 것으로 특히, 게이트 단차 부위에 남아있는 물리 브덴 잔막을 제거하여 신뢰성을 향상시킨 액정 표시 장치의 형성 방법에 관한 것이다.
- <23> 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.
- <24> 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)을 대체하면서 LCD가 가장 많

이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

<25> 이와 같은 액정 표시 장치가 일반적인 화면 표시 장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비 전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 관건이 걸려 있다고 할 수 있다.

<26> 일반적인 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 하부 기판, 상부 기판과, 상기 상하부 기판 사이에 주입된 액정층으로 구성된다.

<27> 여기서, 상기 하부 기판(TFT 어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.

<28> 그리고, 상부 기판(칼라 필터 어레이 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, R, G, B의 칼라 색상을 화상을 구현하기 위한 공통 전극이 형성된다.

- <29> 상기 일반적인 액정 표시 장치의 구동 원리는 액정의 광학적 이방성과 분극 성질을 이용한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다.
- <30> 따라서, 상기 액정의 분자 배열 방향을 임의로 조절하면, 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상 정보를 표현할 수 있다.
- <31> 근래에는 액정 표시 장치(Liquid Crystal Display Device)의 여러 형태 중 액티브 매트릭스(Active Matrix) 타입의 박막 트랜지스터(TFT : Thin Film Transistor) 액정 표시 소자의 분야의 발전이 현저하다.
- <32> 액티브 매트릭스 방식의 박막 트랜지스터 액정 표시 소자(TFT LCD)는 표시 장치의 화면을 이루는 개개 화소의 전극을 트랜지스터를 이용하여 조절하는 것으로, 이 때, 박막 트랜지스터는 반도체층을 포함하여 하부 기판상에 형성된다.
- <33> 상기 반도체층을 사이에 두고 게이트 전극과 소오스/드레인 전극이 상하 어디에 위치하는가에 따라 역 스테거드(Inverted Staggered) 구조와 정상 스테거드(Normal Staggered) 구조를 구분한다. 게이트 전극이 반도체층 하부에 위치하고 소오스/드레인 전극이 반도체층 상부에 위치하는 구조를 역 스테거드 구조라 하며, 그 반대의 형상을 갖는 구조를 노멀 스테거드 구조라 한다.
- <34> 현재에는 제조 공정이 쉽고 별도의 TFT 광차단막이 필요 없는 역 스테거드 구조를 선호하는 추세이다.

- <35> 상기 역 스테거드 구조의 TFT는 유리 기판 위에 형성된 게이트 전극과, 게이트 전극을 포함한 전면에 형성된 게이트 절연막과, 상기 게이트 전극 상부의 게이트 절연막 상에 형성된 반도체층과, 상기 반도체층 위에서 분리 형성된 소오스 전극 및 드레인 전극과, 상기 소오스 및 드레인 전극과 상기 반도체층 사이에 개재되는 오믹콘택층으로 구성된다.
- <36> 이와 같은 역 스테거드 구조는 게이트 절연막과 비정질 실리콘층 사이의 계면이 공기에 노출되지 않고, 같은 챔버 안에서 게이트 절연막과 비정질 실리콘층과 불순물층 연속적으로 증착할 수 있어 TFT의 전기적 특성이 좋고, 소오스/드레인 전극을 마스크로 이용하여 채널 상부의 불순물층을 제거할 수 있으므로, 공정이 단순하다.
- <37> 이하, 첨부된 도면을 참조하여 종래의 액정 표시 장치의 형성 방법을 설명하기로 한다.
- <38> 도 1은 종래의 액정 표시 장치의 평면도이며, 도 2a 내지 도 2g는 도 1의 A~A' 선 상에서 진행되는 공정의 구조 단면도이고, 도 3a 내지 도 3g는 도 2a 내지 도 2g의 각 단계에 대응하여 도 1의 B~B' 선상에서 진행되는 공정의 구조 단면도이다.
- <39> 도 1과 같이, 종래의 액정 표시 장치는 게이트 전극(101a)이 돌출되어 형성된 게이트 라인(101)과 이와 수직으로 교차하며 소오스/드레인 전극(105a, 105b)이 형성되는 데이터 라인(205)과, 상기 게이트 라인(101) 및 데이터 라인(205)으로 정의되는 화소 영역에 화소 전극(108)을 구비하여 형성된다. 여기서, 상기 게이트 전극(101a) 상부에는 채널 영역이 정의된 반도체층(203)이 형성되며, 상기 반도체층(203)의 채널 영역 양측과 연결되는 소오스/드레인 전극(105a, 105b)이 형성된다.

- <40> 이하, 종래의 액정 표시 장치의 형성 방법에 대해 박막 트랜지스터의 형성 부위를 나타내는 도 2a 내지 도 2g, 도 3a 내지 도 3g를 참고로 설명한다.
- <41> 도 1의 A-A' 선상, 즉, 박막 트랜지스터가 형성되는 부위에서 도 2a 내지 도 2g의 단계가 진행되는 동안, 도 1의 B-B' 선상, 즉, 게이트 라인(101)이 형성되는 부위에서는 도 3a 내지 도 3g의 공정이 진행된다.
- <42> 도 2a 및 도 3a와 같이, 하부 기판(100)위에 스퍼터링법 등을 이용하여 금속막을 전면 증착하고, 사진 식각 공정 등을 이용한 패터닝 공정으로 상기 금속막을 선택적으로 제거하여 일방향으로 연장되는 게이트 라인(도 1의 101)과 이에 돌출되는 게이트 전극(101a)게이트 전극(101a)이 돌출된 게이트 라인(도 1의 101)을 형성한다.
- <43> 도 2b 및 도 3b에서와 같이, 상기 게이트 전극(101a)을 포함한 하부 기판(100) 전면에 게이트 절연막(102)을 형성한다.
- <44> 도 2c에서와 같이, 상기 게이트 절연막(102) 상에 반도체층(도 1의 203)을 형성한다. 이 때, 상기 반도체층(203)은 비정질 실리콘층(103)과 불순물층(104)이 차례로 적층되어 형성되어 있다. 이 때, 도 3c와 같이, 상기 게이트 라인(101) 상부의 변화는 없다.
- <45> 이어, 포토 및 식각 공정을 통해 상기 반도체층(203)을 선택적으로 제거하여 액티브층을 형성한다.
- <46> 도 2d 및 도 3d와 같이, 상기 반도체층(203)을 포함하는 하부 기판(100)의 전면에 금속층(105)을 증착한다.
- <47> 이어, 상기 금속층(105) 상에 감광막을 전면 도포한 후, 이를 노광 및 현상하여 감광막 패턴(106)을 정의한다.

- <48> 도 2e와 같이, 상기 감광막 패턴(106a)을 마스크로 하여 상기 금속층(105)을 식각하여 데이터 라인(도 1의 205) 및 상기 데이터 라인(205)에서 돌출되는 소오스 전극(105a)과 이와 소정 간격 이격된 드레인 전극(105b)을 형성한다. 이 때, 도 3e와 같이, 상기 게이트 라인(101)이 형성되는 부분과 형성되지 않은 부분의 단차 부위의 게이트 절연막(102)이 스텝 커버리지 특성이 악화되어 상기 게이트 절연막(102)이 치밀하지 않게 된다. 따라서, D 영역과 같이, 상기 게이트 절연막(102)의 단차부를 따라 금속층(105)이 상기 게이트 절연막(102) 내부로 확산되어 잔막 형태로 남아있게 된다.
- <49> 도 2f와 같이, 상기 소오스/드레인 전극(105a, 105b)을 마스크로 하여 상기 반도체층(203)을 구성하는 불순물층(104)을 제거하여 오믹콘택층(104a)을 형성한다. 여기서, 상기 불순물층(104)을 소정 부분 제거하는 공정 전후에 애싱을 진행한다.
- <50> 도 2g와 같이, 상기 반도체층(203)을 포함한 하부 기판(100)의 전면에 보호막(107)을 증착한 후, 상기 드레인 전극(105b)의 표면이 소정 부분 노출되도록 상기 보호막(107)을 선택적으로 제거하여 콘택 홀을 형성한다.
- <51> 이어, 상기 콘택 홀을 포함한 하부 기판(100)의 전면에 투명 도전막을 형성한 후, 이를 패터닝하여 상기 콘택홀을 통해 드레인 전극(105b)과 연결되는 화소 전극(108)을 형성한다.
- <52> 상기 게이트 절연막(102)의 단차부인 D 영역에 형성된 금속층(105)의 잔막은, 도 3f 및 도 3g와 같이, 박막 트랜지스터 형성 부위(도 1의 A~A'의 선상)의 불순물층(104)이 선택적으로 제거되는 단계에서나, 보호막이 전면 증착되는 단계에서 계속적으로 남아있어, 이후 암점 불량률의 원인이 되거나, 절연 특성을 악화시키는 원인이 된다.

【발명이 이루고자 하는 기술적 과제】

- <53> 그러나, 상기와 같은 종래의 액정 표시 장치의 형성 방법은 다음과 같은 문제점이 있다.
- <54> 상기 금속층으로 몰리브덴(Mo)을 이용하였을 때, 이를 전면 증착하고 패터닝한 후에도 상기 몰리브덴이 게이트 절연막 표면에서 확산되어 잔막이 형성되는데, 특히, 게이트 절연막의 단차가 생기는 부위에서 확산 정도가 심하였다.
- <55> 이러한 잔막으로 인해 암점 불량이 발생하거나, 절연 특성의 열화가 일어나는데, 소오스/드레인 전극을 패터닝하는 습식각만으로는 확산된 Mo 잔막을 제거할 수 없었다.
- <56> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 몰리브덴을 소오스/드레인 전극으로 형성시 패터닝 후 게이트 단차 부위에 남아있는 몰리브덴 잔막을 제거하여 신뢰성을 향상시킨 액정 표시 장치의 형성 방법을 제공하는 데, 그 목적이 있다.

【발명의 구성 및 작용】

- <57> 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치의 형성 방법은 기판 상에 게이트 라인 및 게이트 전극을 형성하는 단계와, 상기 게이트 라인을 포함한 기판 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 전극에 대응되는 상기 게이트 절연막 상부에 반도체층을 차례로 형성하는 단계와, 상기 반도체층을 포함한 상기 게이트 전면에 금속층을 증착하는 단계와, 상기 금속층 상부의 소정 영역에 마스크층을 형성하는 단계 및 상기 마스크층을 이용하여 금속층을 선택적으로 제거하여 상기 게이트 라인 과 교차하는 데이터 라인 및 소오스/드레인 전극을 형성함과 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계를 포함하여 이루어짐에 그 특징이 있다.

- <58> 상기 소오스/드레인 전극은 상기 금속층을 습식각하여 형성함이 바람직하다.
- <59> 상기 반도체층은 비정질 실리콘층과 불순물층을 차례로 적층하여 형성함이 바람직하다.
- <60> 또한, 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치의 형성 방법은
 기관상에 게이트 라인 및 게이트 전극을 형성하는 단계와, 상기 게이트 라인을 포함한
 기관 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 전극에 대응되는 상기 게이트
 절연막 상부에 비정질 실리콘층, 불순물층이 차례로 적층된 정의된 반도체층을 차례
 로 형성하는 단계와, 상기 반도체층을 포함한 상기 게이트 절연막 전면에 금속층을 전면
 증착하는 단계와, 상기 금속층 상부에 소오스/드레인 전극을 정의하는 감광막 패턴을
 형성하는 단계와, 상기 감광막 패턴을 마스크로 하여 상기 금속층을 선택적으로 제거하
 여 소오스/드레인 전극을 형성하는 단계와, 상기 감광막 패턴을 프리 애싱하는 동시에
 상기 게이트 절연막을 표면으로부터 소정 두께 제거하는 단계와, 상기 감광막 패턴을 마
 스크로 하여 상기 불순물층을 선택적으로 제거하여 오믹콘택층을 형성하는 단계 및 상기
 감광막 패턴을 포스트 애싱하여 제거하는 단계를 포함하여 이루어짐에 그 특징이 있다.
- <61> 상기 감광막 패턴을 프리 애싱하는 동시에 상기 게이트 절연막을 소정 두께 제거하
 는 단계에서는 상기 게이트 절연막의 단차부에서는 100 내지 500Å의 두께를, 그 외의
 게이트 절연막의 부위는 100Å \pm 20Å 내외의 두께를 제거함이 바람직하다.
- <62> 상기 감광막 패턴을 프리 애싱하는 동시에 상기 게이트 절연막을 소정 두께 제거하
 는 단계에서는 SF₆ 가스의 유량을 늘려 주입하여 상기 게이트 절연막의 식각 공정을 진
 행함이 바람직하다.

<63> 또한, 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치의 형성 방법은 기판상에 게이트 라인 및 게이트 전극을 형성하는 단계와, 상기 게이트 라인을 포함한 기판 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 전극에 대응되는 상기 게이트 절연막 상부에 비정질 실리콘층, 불순물이 차례로 적층된 반도체층을 차례로 형성하는 단계와, 상기 반도체층을 포함한 상기 게이트 절연막 전면에 금속층을 전면 증착하는 단계와, 상기 금속층 상부에 소오스/드레인 영역을 정의하는 감광막 패턴을 형성하는 단계와, 상기 감광막 패턴을 마스크로 하여 금속층을 제거하여 소오스/드레인 전극을 형성하는 단계와, 상기 감광막 패턴을 프리 에칭하는 단계와, 상기 감광막 패턴을 마스크로 하여 상기 불순물층을 선택적으로 제거하여 오믹콘택층을 형성하는 동시에 상기 게이트 절연막을 표면으로부터 소정 두께 제거하는 단계 및 상기 감광막 패턴을 포스트 에칭하여 제거하는 단계를 포함하여 이루어짐에 그 특징이 있다.

<64> 상기 감광막 패턴을 마스크로 하여 상기 불순물층을 제거하여 오믹콘택층을 형성하는 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계에서는 상기 게이트 절연막 전면에서 균일한 두께를 제거함이 바람직하다.

<65> 상기 감광막 패턴을 마스크로 하여 상기 불순물층을 제거하여 오믹콘택층을 형성하는 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계에서는 Cl_2 가스를 주입하여 상기 게이트 절연막의 식각이 이루어지도록 함이 바람직하다.

<66> 이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치의 형성 방법을 상세히 설명하면 다음과 같다.

<67> 도 4a 본 발명의 액정 표시 장치의 형성 방법을 통해 형성된 액정 표시 장치를 나타낸 평면도이며, 도 4b는 도 4a의 X-X' 선상의 구조 단면도이다.

- <68> 도 4a 및 도 4b와 같이, 본 발명의 액정 표시 장치의 형성 방법을 통해 형성된 액정 표시 장치는 게이트 전극(401a)이 돌출되어 형성된 게이트 라인(401)과 이와 수직으로 교차하며 소오스/드레인 전극(405a, 405b)이 형성되는 데이터 라인(505)과, 상기 게이트 라인(401) 및 데이터 라인(505)으로 정의되는 화소 영역에 상기 드레인 전극(405b)과 연결되는 화소 전극(408)을 구비하여 형성된다. 여기서, 상기 게이트 전극(401a) 상부에는 채널 영역이 정의된 비정질 실리콘층(403)과, 오믹콘택층(404a)으로 이루어진 반도체층(503)이 형성되며, 상기 반도체층(503)의 채널 영역 양측과 연결되는 소오스/드레인 전극(405a, 405b)이 형성된다.
- <69> 도 5a 내지 도 5b는 본 발명의 제 1 실시예에 따라 도 4a의 Y-Y' 선상에서 진행되는 공정의 구조 단면도이다.
- <70> 도 4a, 도 4b 및 도 5a와 같이, 먼저, 기판(400)위에 스퍼터링법 등을 이용하여 금속막을 전면 증착하고, 사진 식각 공정 등을 이용한 패터닝 공정으로 상기 금속막을 선택적으로 제거하여 게이트 전극(401a)이 돌출된 게이트 라인(401)을 형성한다.
- <71> 이어, 상기 게이트 전극(401a)을 포함한 기판(400) 전면에 게이트 절연막(402)을 형성한다.
- <72> 이어, 박막 트랜지스터 형성 부위(X-X' 선상)의 상기 게이트 절연막(402) 상에 비정질 실리콘층(403), 불순물층(404)이 차례로 형성된 반도체층(503)을 형성한다.
- <73> 이어, 상기 반도체층(503)을 포함하는 게이트 절연막(402) 전면에 금속층(미도시)을 전면 증착한다. 이 때, Mo 등의 금속을 이용한다.

- <74> 이어, 감광막(미도시)을 전면 도포한 후, 이를 노광 및 현상하여 소오스/드레인 전극을 정의하는 감광막 패턴(미도시)을 형성한다.
- <75> 이어, 상기 감광막 패턴을 마스크로 하여 상기 금속층을 습식각하여 소오스/드레인 전극(405a, 405b)과 상기 게이트 라인(401)에 수직으로 교차하는 데이터 라인(505)을 형성한다. 이 때, 금속층의 습식각 공정시 금속층의 일부 성분이 상기 게이트 절연막(402) 표면으로 확산하여 금속층의 잔막이 남게 된다. 특히, D 부위와 같이 단차부에서 이러한 잔막 현상은 심각하다.
- <76> 현재 데이터 라인 및 소오스/드레인 전극을 형성하기 위한 금속으로 Mo를 이용하고 있는데, Mo의 경우 여타의 금속보다 잔막 현상이 보다 심하다.
- <77> 이어, 도 4b와 같이, 박막 트랜지스터 형성 영역(X-X'선상)에서는 상기 감광막 패턴(미도시)을 마스크로 하여 상기 반도체층(503)의 불순물층(미도시)을 건식각하여 오믹 콘택층(404a)을 형성하게 되는데, 상기 불순물층의 건식각 공정 전후로 감광막 패턴을 제거하기 위해 프리 애싱(Pre-ashing), 포스트 애싱(Post-ashing)이 이루어진다.
- <78> 도 5b에서는 이러한 프리 애싱 공정 중에, 선택적으로 감광막에 대해 식각 특성이 우수하던 O_2 가스에 비해, 게이트 절연막(402a)의 식각비가 높은 SF_6 가스의 유입을 증가시켜 단차부에서 상기 게이트 절연막(402a)의 침식을 더 유도하였다.
- <79> 이 때, 전면에 게이트 절연막(402a)이 소정 두께 제거되나 동일한 두께가 제거되는 것은 아니고, 단차부가 있는 부위에서는 약 100내지 500Å 정도의 두께가 제거되며, 그 외 부위에서는 100Å \pm 20Å 내외의 두께가 제거된다. 이 경우 상기 게이트 절연막(402a)의 식각과 함께 애싱 공정이 진행되므로, 일반적인 애싱 공정에 비해 RF 파워를 증가시

키고, 식각되는 시간도 증가시키며, 또한, SF₆ 가스의 유량을 증가시켜 게이트 절연막(402a)의 식각이 원활하게 이루어지도록 한다. 이러한 게이트 절연막(402a)의 식각 공정이 완료된 후에도 3500 Å 두께 이상의 상기 게이트 절연막(402a)이 남아있으므로, 상기 게이트 절연막(402a)의 절연 특성이 파괴되는 위험은 없다.

<80> 이어, 상기 반도체층(503)을 포함한 상기 게이트 절연막(402a) 전면에서 보호막(407)을 증착한 후, 상기 드레인 전극(405b)의 소정 부위를 노출하는 콘택 홀을 형성한다.

<81> 이어, 상기 콘택 홀을 매립하도록 전면에서 투명 도전막을 형성한 후, 이를 패터닝하여 화소 전극(408)을 형성한다.

<82> 도 6a 내지 도 6c는 본 발명 제 2 실시예에 따라 도 4a의 C~C' 선상에서 진행되는 구조 단면도이다.

<83> 본 발명의 제 2 실시예에 따른 액정 표시 장치의 형성 방법은 감광막 패터닝(미도시)을 마스크로 하여 불순물층(404)을 건식각하는 공정시 게이트 절연막(402)을 전면적으로 소정 두께 제거하는 방법에 관한 것이다.

<84> 먼저, 도 4a, 도 4b 및 도 6a와 같이, 기판(400) 상에 게이트 라인(401)을 형성한 후, 전면에서 게이트 절연막(402)을 형성한다.

<85> 이어, 상기 게이트 절연막(402) 전면에서 소오스/드레인 전극(405a, 405b) 및 데이터 라인(505)을 형성하기 위해 전면에서 금속층(미도시)을 증착한 후, 패터닝한다. 이 때, D 부위와 같이, 단차가 있는 영역에서는 금속층이 상기 게이트 절연막(402) 내로 확산이 일어나 암점 불량에 원인이 되고 있다.

- <86> 도 4a 및 도 6b와 같이, 박막 트랜지스터 형성 부위(X-X' 선상)에서 상기 반도체층(503)의 불순물층(404)을 선택적으로 제거하는 건식각 공정시, RF 파워와 압력을 증가시켜, 기판(400) 전면에서 건식각을 진행하게 되면, 상기 불순물층(404) 뿐만 아니라, 상기 게이트 절연막(402b)에서도 일정한 두께가 전면적으로 제거되게 된다.
- <87> 이 때, 게이트 절연막(402b)의 제거 두께는 100 내지 500Å로 하는데, 제거 후에도 상기 게이트 절연막(402b)은 3500Å 이상 남아있으므로, 상기 불순물층(404)을 건식각하는 공정을 통해서 게이트 절연막(402b)의 절연 특성이 파괴되는 위험은 없다.
- <88> 여기서는 상기 반도체층(503)의 불순물층(404)과 게이트 절연막(401b)의 식각률이 비슷한 Cl_2 가스를 에천트로 이용하여 건식각 공정을 진행한다. 따라서, 건식각 공정 완료 후에는 상기 불순물층이 제거된 두께와 유사하게 전면에 형성된 게이트 절연막(402b)이 식각된다.
- <89> 이 경우 상기 소오스/드레인 전극(405a, 405b) 상부에는 프리 애싱을 진행한 후의 감광막 패턴(미도시)이 남겨져 있어, 상기 건식각 공정 중 소오스/드레인 전극(405a, 405b)은 손상을 받지 않도록 보호되고 있다.
- <90> 도 6c와 같이, 상기 RF 파워와 압력을 증가시켜 건식각 공정을 완료한 후에는 잔막이 형성된 표면의 게이트 절연막(402b)이 제거되게 되므로, 잔막이 모두 제거되고 절연 특성이 우수한 게이트 절연막(402b)을 갖게 된다.
- <91> 이어, 남아있는 상기 감광막 패턴을 포스트 애싱 공정을 통해 제거한다.

【발명의 효과】

- <92> 상기와 같은 본 발명의 액정 표시 장치의 형성 방법은 다음과 같은 효과가 있다.

<93> 소오스/드레인 전극 형성 후, 게이트 라인 단차부에 남아있는 금속 잔막을 제거함으로써, 암점 불량을 방지하여 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

기판상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 라인을 포함한 기판 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극에 대응되는 상기 게이트 절연막 상부에 반도체층을 차례로 형성하는 단계;

상기 반도체층을 포함한 상기 게이트 전면에 금속층을 증착하는 단계;

상기 금속층 상부의 소정 영역에 마스크층을 형성하는 단계; 및

상기 마스크층을 이용하여 금속층을 선택적으로 제거하여 상기 게이트 라인과 교차하는 데이터 라인 및 소오스/드레인 전극을 형성함과 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치의 형성 방법

.

【청구항 2】

제 1항에 있어서,

상기 소오스/드레인 전극은 상기 금속층을 습식각하여 형성함을 특징으로 하는 액정 표시 장치의 형성 방법.

【청구항 3】

제 1항에 있어서,

상기 반도체층은 비정질 실리콘층과 불순물층을 차례로 적층하여 형성함을 특징으로 하는 액정 표시 장치의 형성 방법.

【청구항 4】

기판상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 라인을 포함한 기판 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극에 대응되는 상기 게이트 절연막 상부에 비정질 실리콘층, 불순물층이 차례로 적층된 정의된 반도체층을 차례로 형성하는 단계;

상기 반도체층을 포함한 상기 게이트 절연막 전면에 금속층을 전면 증착하는 단계;

상기 금속층 상부에 소오스/드레인 전극을 정의하는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 마스크로 하여 상기 금속층을 선택적으로 제거하여 소오스/드레인 전극을 형성하는 단계;

상기 감광막 패턴을 프리 애싱하는 동시에 상기 게이트 절연막을 표면으로부터 소정 두께 제거하는 단계;

상기 감광막 패턴을 마스크로 하여 상기 불순물층을 선택적으로 제거하여 오믹콘택층을 형성하는 단계; 및

상기 감광막 패턴을 포스트 애싱하여 제거하는 단계를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치의 형성 방법.

【청구항 5】

제 4항에 있어서,

상기 감광막 패턴을 프리 애싱하는 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계에서는

상기 게이트 절연막의 단차부에서는 100 내지 500 Å의 두께를, 그 외의 게이트 절연막의 부위는 100 Å ±20 Å 내외의 두께를 제거함을 특징으로 하는 액정 표시 장치의 형성 방법.

【청구항 6】

제 4항에 있어서,

상기 감광막 패턴을 프리 애싱하는 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계에서는

SF₆ 가스의 유량을 늘려 주입하여 상기 게이트 절연막의 식각 공정을 진행함을 특징으로 하는 액정 표시 장치의 형성 방법.

【청구항 7】

기판상에 게이트 라인 및 게이트 전극을 형성하는 단계;

상기 게이트 라인을 포함한 기판 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 전극에 대응되는 상기 게이트 절연막 상부에 비정질 실리콘층, 불순물이 차례로 적층된 반도체층을 차례로 형성하는 단계;

상기 반도체층을 포함한 상기 게이트 절연막 전면에 금속층을 전면 증착하는 단계;

상기 금속층 상부에 소오스/드레인 영역을 정의하는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 마스크로 하여 금속층을 제거하여 소오스/드레인 전극을 형성하는 단계;

상기 감광막 패턴을 프리 애싱하는 단계;

상기 감광막 패턴을 마스크로 하여 상기 불순물층을 선택적으로 제거하여 오믹콘택층을 형성하는 동시에 상기 게이트 절연막을 표면으로부터 소정 두께 제거하는 단계; 및
상기 감광막 패턴을 포스트 애싱하여 제거하는 단계를 포함하여 이루어짐을 특징으로 하는 액정 표시 장치의 형성 방법.

【청구항 8】

제 7항에 있어서,

상기 감광막 패턴을 마스크로 하여 상기 불순물층을 제거하여 오믹콘택층을 형성하는 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계에서는

상기 게이트 절연막 전면에서 균일한 두께를 제거함을 특징으로 하는 액정 표시 장치의 형성 방법.

【청구항 9】

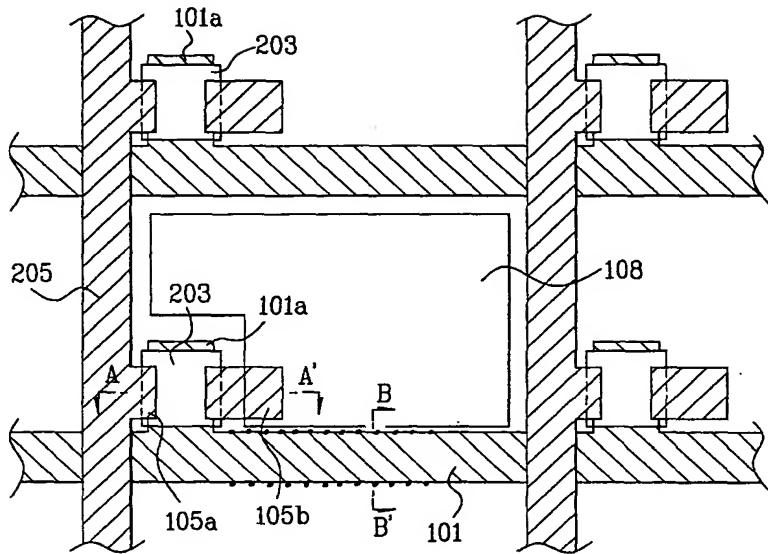
제 7항에 있어서,

상기 감광막 패턴을 마스크로 하여 상기 불순물층을 제거하여 오믹콘택층을 형성하는 동시에 상기 게이트 절연막을 소정 두께 제거하는 단계에서는

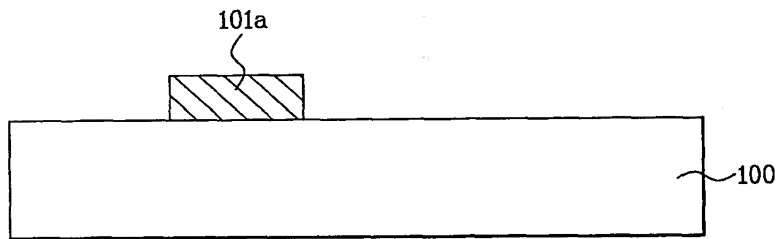
Cl_2 가스를 주입하여 상기 게이트 절연막의 식각이 이루어지도록 함을 특징으로 하는 액정 표시 장치의 형성 방법.

【도면】

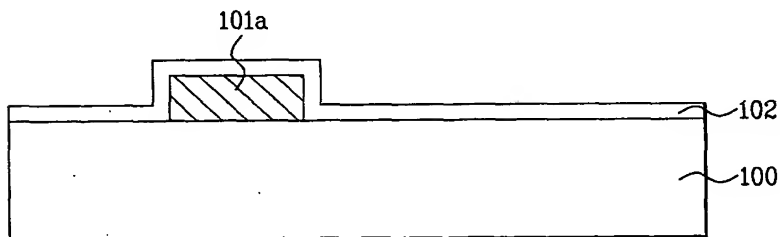
【도 1】



【도 2a】

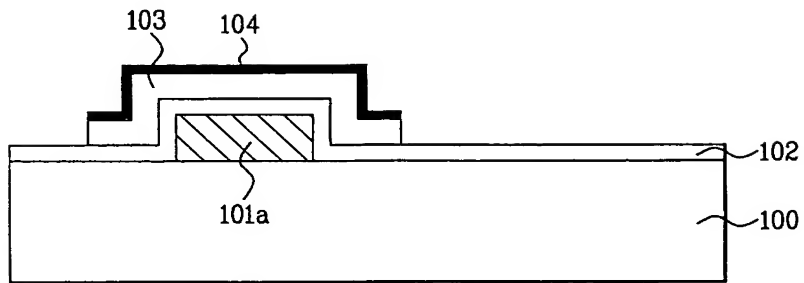


【도 2b】

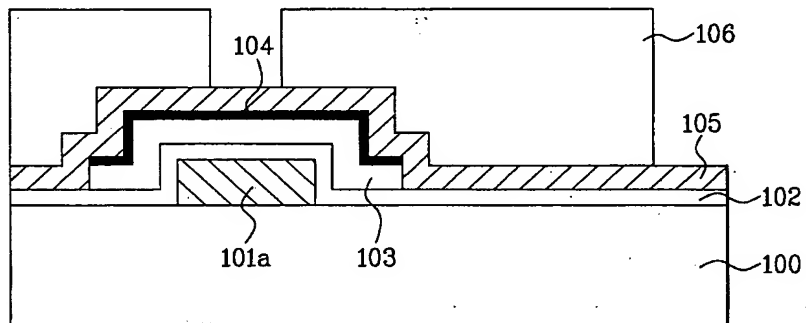




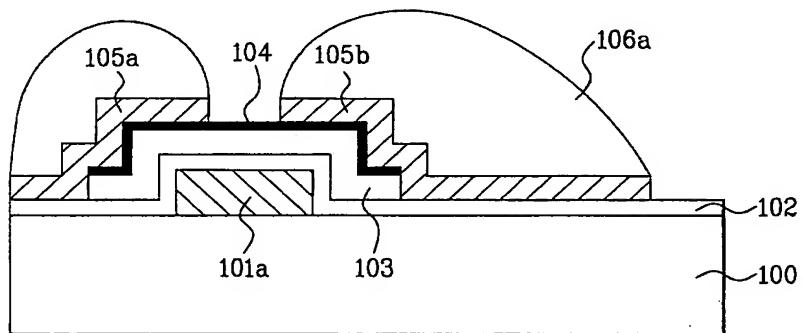
【도 2c】



【도 2d】

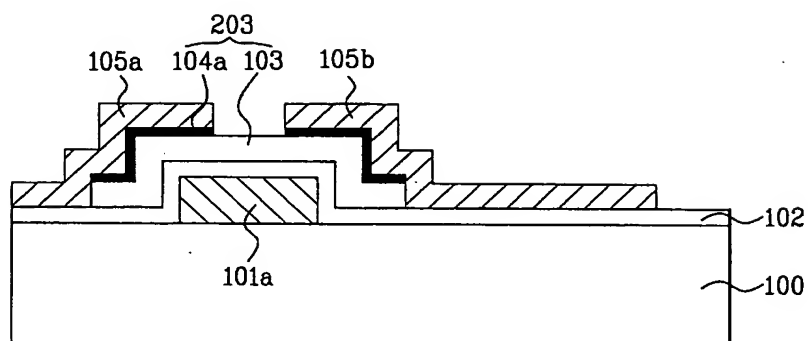


【도 2e】

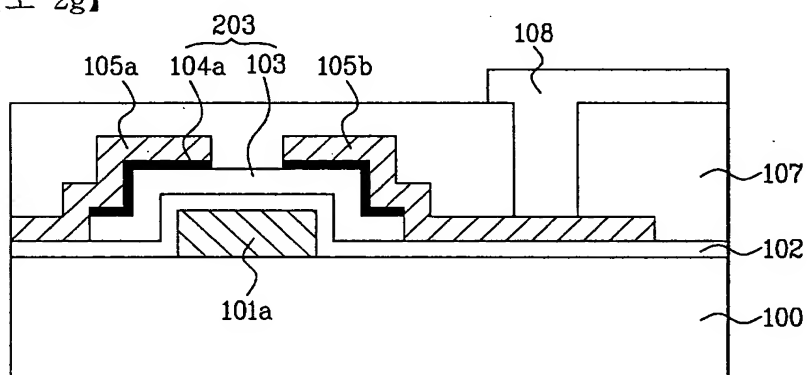




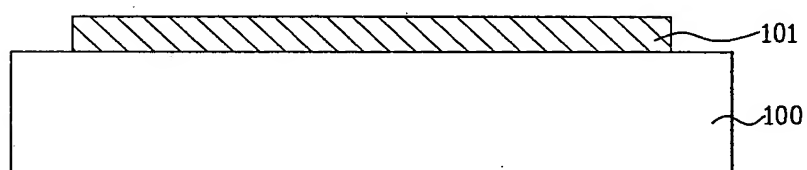
【도 2f】



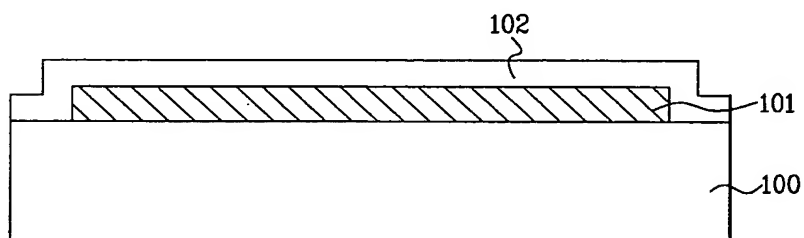
【도 2g】



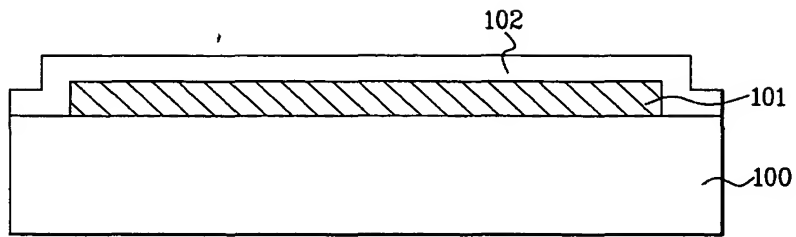
【도 3a】



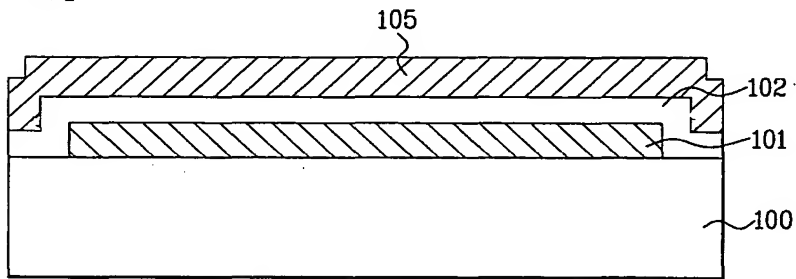
【도 3b】



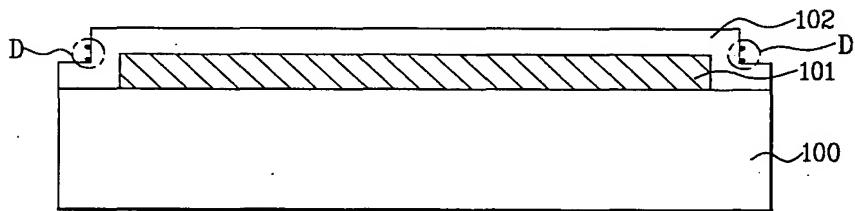
【도 3c】



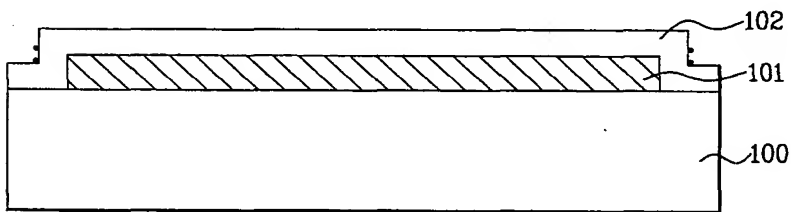
【도 3d】



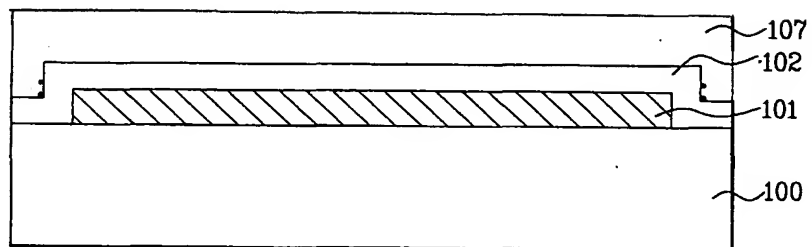
【도 3e】



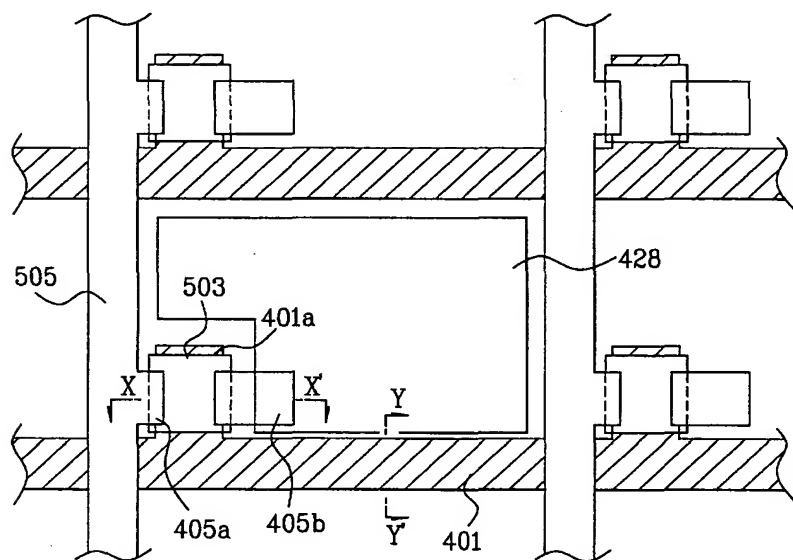
【도 3f】



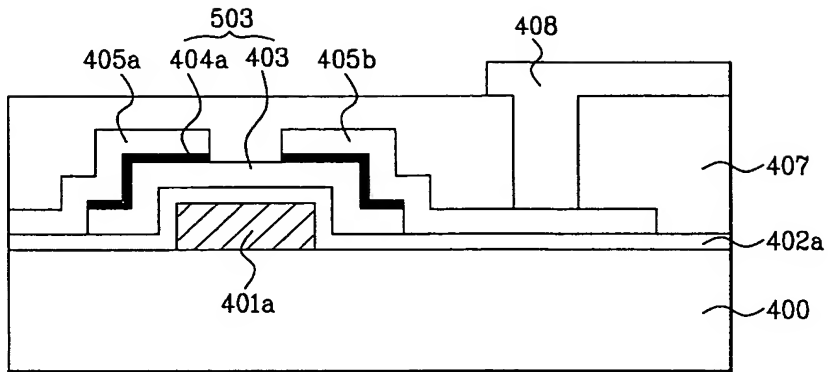
【도 3g】



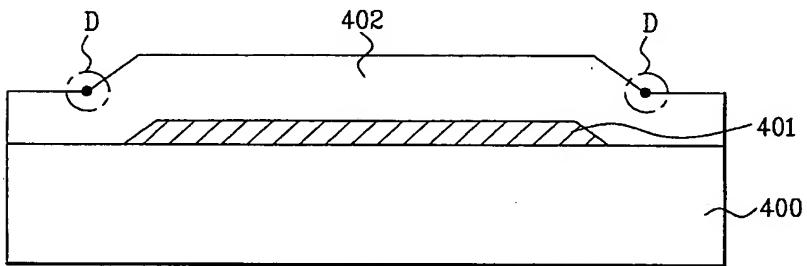
【도 4a】



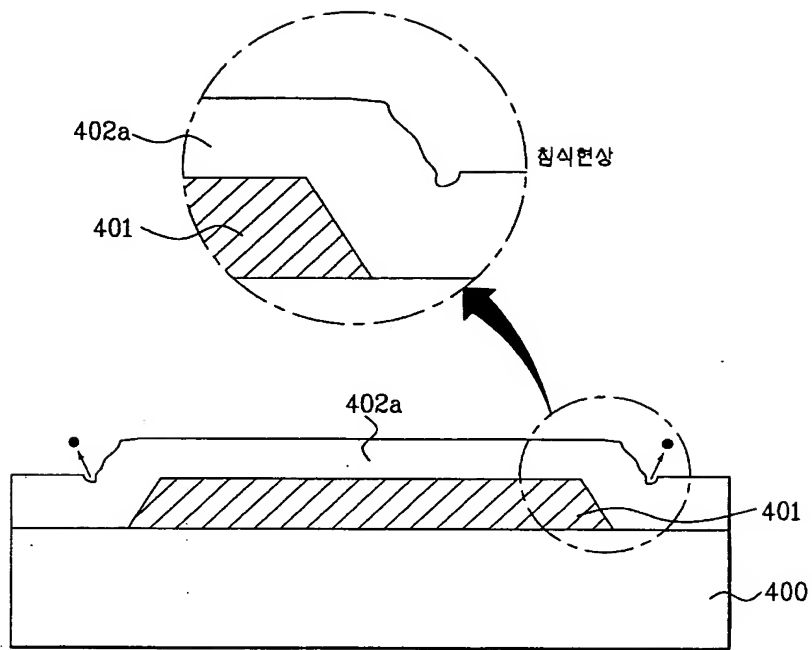
【도 4b】



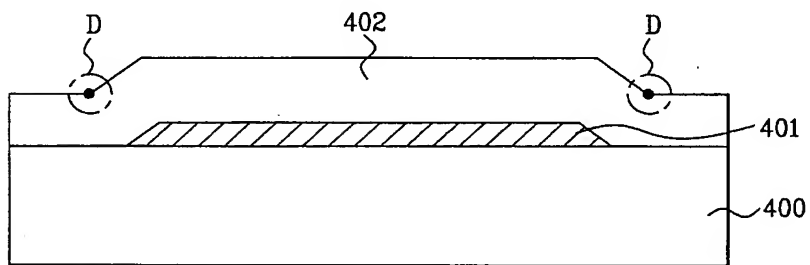
【도 5a】



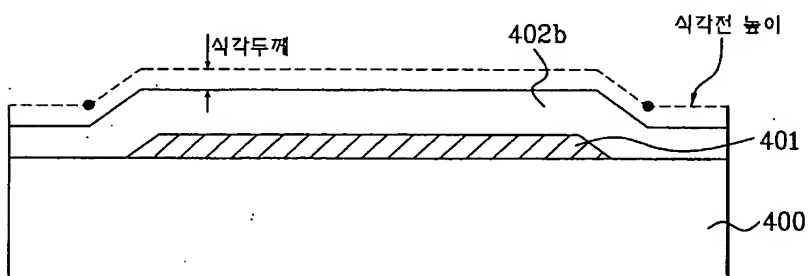
【도 5b】



【도 6a】



【도 6b】



【도 6c】

